



0460...
10-31-01

Docket No. 501.40724X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SAHARA, et al
Serial No.: 09/974,814
Filed: October 12, 2001
Title: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND
THE PROCESS OF THE SAME

#2

LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of
Patents and Trademarks
Washington, D.C. 20231

November 2, 2001

Sir:

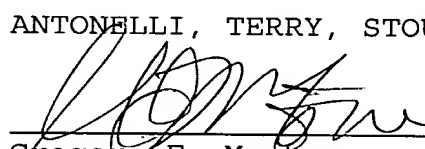
Under the provisions of 35 USC 119 and 37 CFR 1.55, the
applicant(s) hereby claim(s) the right of priority based on:

Japanese Patent Application No. 2000-320572
Filed: October 20, 2000

A certified copy of said Japanese Patent Application is
attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP



Gregory E. Montone
Registration No. 28,141

GEM/gfa
Attachment



日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月20日

出 願 番 号

Application Number:

特願2000-320572

出 願 人

Applicant(s):

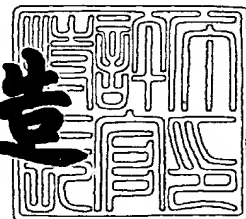
株式会社日立製作所

株式会社日立超エル・エス・アイ・システムズ

2001年 9月25日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3087772

【書類名】 特許願

【整理番号】 H00018781

【提出日】 平成12年10月20日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/28
H01L 27/10

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 佐原 政司

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 遠藤 文昭

【発明者】

【住所又は居所】 東京都小平市上水本町 5 丁目 2 2 番 1 号 株式会社日立
超エル・エス・アイ・システムズ内

【氏名】 小島 勝紀

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 内村 勝大

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 金澤 英明

【発明者】

【住所又は居所】 東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立
製作所 半導体グループ内

【氏名】 杉浦 雅和

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【特許出願人】

【識別番号】 000233169

【氏名又は名称】 株式会社日立超エル・エス・アイ・システムズ

【代理人】

【識別番号】 100080001

【弁理士】

【氏名又は名称】 筒井 大和

【電話番号】 03-3366-0787

【手数料の表示】

【予納台帳番号】 006909

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板主表面に形成された M I S F E T を有し、90℃での動作テスト時のスタンバイ電流が 5 μ A 以下の半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5 nm 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 2】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 3】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 4】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 5】 前記金属膜は、
C o 膜であることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法

【請求項 6】 前記M I S F E Tは、
S R A Mメモリセルを構成することを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 7】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 1 記載の半導体集積回路装置の製造方法。

【請求項 8】 半導体基板主表面に形成されたM I S F E Tを有し、9 0℃での動作テスト時のスタンバイ電流が5 μ A以下の半導体集積回路装置の製造方法であって、

- (a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、
 - (b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、
 - (c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、
 - (d) 前記ソース、ドレイン領域およびゲート電極の上部であって、その表面から2. 5 n m以下の領域をスパッタエッチングする工程と、
 - (e) 前記ソース、ドレイン領域およびゲート電極上に金属膜を形成する工程と、
 - (f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部および前記ゲート電極と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、
 - (g) 未反応の前記金属膜を除去する工程と、
- を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 9】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 8 記載の半導体集積回路装置の

製造方法。

【請求項 1 0】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 1 1】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 1 2】 前記金属膜は、
C o 膜であることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 1 3】 前記 M I S F E T は、
S R A M メモリセルを構成することを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 1 4】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 8 記載の半導体集積回路装置の製造方法。

【請求項 1 5】 半導体基板主表面に形成された M I S F E T を有し、使用状態のスタンバイ電流が $1.5 \mu A$ 以下の半導体集積回路装置の製造方法であって、

- (a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、
- (c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、
- (d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5 nm 以下の領域をスパッタエッチングする工程と、
- (e) 前記ソース、ドレイン領域上に金属膜を形成する工程と、
- (f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程

と、

(g) 未反応の前記金属膜を除去する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 1 6】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 7】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 8】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 1 9】 前記金属膜は、
C o 膜であることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 0】 前記 M I S F E T は、
S R A M メモリセルを構成することを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 1】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 1 5 記載の半導体集積回路装置の製造方法。

【請求項 2 2】 半導体基板主表面に形成された M I S F E T を有し、使用状態のスタンバイ電流が $1.5 \mu A$ 以下の半導体集積回路装置の製造方法であって、

- (a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、
- (c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソ

ース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域およびゲート電極の上部であって、その表面から 2.5 nm 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域およびゲート電極上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部および前記ゲート電極と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 23】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 24】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 25】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 26】 前記金属膜は、
C o 膜であることを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 27】 前記 M I S F E T は、
S R A M メモリセルを構成することを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 28】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 22 記載の半導体集積回路装置の製造方法。

【請求項 2 9】 半導体基板主表面に形成された M I S F E T を有し、電池によって駆動される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域の上部であって、その表面から 2 . 5 n m 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3 0】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 1】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 2】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 3】 前記金属膜は、
C o 膜であることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 4】 前記 M I S F E T は、

S R A Mメモリセルを構成することを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 5】 前記ソース、ドレイン領域上に金属膜を形成する工程は、前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 2 9 記載の半導体集積回路装置の製造方法。

【請求項 3 6】 半導体基板主表面に形成された M I S F E T を有し、電池によって駆動される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域およびゲート電極の上部であって、その表面から 2. 5 n m 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域およびゲート電極上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部および前記ゲート電極と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 3 7】 前記ソース、ドレイン領域の形成工程は、前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 3 8】 前記スパッタエッチングする工程は、

前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 3 9】 前記スパッタエッチングは、

A r スパッタエッチングであることを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 4 0】 前記金属膜は、

C o 膜であることを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 4 1】 前記 M I S F E T は、

S R A M メモリセルを構成することを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 4 2】 前記ソース、ドレイン領域上に金属膜を形成する工程は、

前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 3 6 記載の半導体集積回路装置の製造方法。

【請求項 4 3】 半導体基板主表面に形成された M I S F E T を有する半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってその幅が $0.18\mu\text{m}$ 以下のゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、その膜厚が 20nm 以上で 40nm 以下の金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 4 4】 前記ソース、ドレイン領域の形成工程は、

前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 4 3 記載の半導体集積回路装置

の製造方法。

【請求項 4 5】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 4 3 記載の半導体集積回路装置の製造方法。

【請求項 4 6】 前記スパッタエッチングは、
A r スパッタエッチングであることを特徴とする請求項 4 3 記載の半導体集積回路装置の製造方法。

【請求項 4 7】 前記金属膜は、
C o 膜であることを特徴とする請求項 4 3 記載の半導体集積回路装置の製造方法。

【請求項 4 8】 前記M I S F E Tは、
S R A Mメモリセルを構成することを特徴とする請求項 4 3 記載の半導体集積回路装置の製造方法。

【請求項 4 9】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 4 3 記載の半導体集積回路装置の製造方法。

【請求項 5 0】 半導体基板主表面に形成されたM I S F E Tを有し、電池
によって駆動される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってその幅が0.18 μ m以下のゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域およびゲート電極の上部であって、その表面から2.5 nm以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域およびゲート電極上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部および前記ゲート電極と金属膜との接触部におけるシリサイド化反応

により、その膜厚が20nm以上で40nm以下金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、
を有することを特徴とする半導体集積回路装置の製造方法。

【請求項51】 前記ソース、ドレイン領域の形成工程は、
前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項52】 前記スパッタエッチングする工程は、
前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項53】 前記スパッタエッチングは、
Arスパッタエッチングであることを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項54】 前記金属膜は、
Co膜であることを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項55】 前記MISFETは、
SRAMメモリセルを構成することを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項56】 前記ソース、ドレイン領域上に金属膜を形成する工程は、
前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項50記載の半導体集積回路装置の製造方法。

【請求項57】 半導体基板主表面に形成されたMISFETを有する半導体集積回路装置の製造方法であって、

- (a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、
- (b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターンニングすることによってその幅が0.18 μ m以下のゲート電極を形成する工程と、
- (c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソ

ース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5 nm 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、そのシート抵抗が $5 \Omega / \square$ 以上 $12 \Omega / \square$ 以下の金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 58】 前記ソース、ドレイン領域の形成工程は、

前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 59】 前記スパッタエッチングする工程は、

前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 60】 前記スパッタエッチングは、

Ar スパッタエッチングであることを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 61】 前記金属膜は、

Co 膜であることを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 62】 前記 MISFET は、

SRAM メモリセルを構成することを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 63】 前記ソース、ドレイン領域上に金属膜を形成する工程は、

前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 57 記載の半導体集積回路装置の製造方法。

【請求項 64】 半導体基板主表面に形成された MISFET を有し、電池

によって駆動される半導体集積回路装置の製造方法であって、

(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、

(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってその幅が $0.18\mu\text{m}$ 以下のゲート電極を形成する工程と、

(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、

(d) 前記ソース、ドレイン領域およびゲート電極の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、

(e) 前記ソース、ドレイン領域およびゲート電極上に金属膜を形成する工程と、

(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部および前記ゲート電極と金属膜との接触部におけるシリサイド化反応により、そのシート抵抗が $5\Omega/\square$ 以上 $12\Omega/\square$ 以下の金属シリサイド層を形成する工程と、

(g) 未反応の前記金属膜を除去する工程と、

を有することを特徴とする半導体集積回路装置の製造方法。

【請求項 6 5】 前記ソース、ドレイン領域の形成工程は、

前記ゲート電極の側壁にサイドウォール膜を形成した後、このサイドウォール膜をマスクに形成されることを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【請求項 6 6】 前記スパッタエッチングする工程は、

前記ソース、ドレイン領域上をフッ酸系の洗浄液を用いて、洗浄した後に行われることを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【請求項 6 7】 前記スパッタエッチングは、

A r スパッタエッチングであることを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【請求項 6 8】 前記金属膜は、

C o 膜であることを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【請求項 6 9】 前記 M I S F E T は、

S R A M メモリセルを構成することを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【請求項 7 0】 前記ソース、ドレイン領域上に金属膜を形成する工程は、

前記スパッタエッチングと同一装置内において、真空下で行われることを特徴とする請求項 6 4 記載の半導体集積回路装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体集積回路装置およびその製造技術に関し、特に、低消費電流の半導体集積回路装置、例えば S R A M (Static Random Access Memory) に適用して有効な技術に関するものである。

【 0 0 0 2 】

【従来の技術】

パソコンやワークステーション用のキャッシュメモリには、6 個の M I S F E T を用いてメモリセルを構成した S R A M が使用されている。

【 0 0 0 3 】

即ち、1 ビットの情報を記憶するフリップフロップ回路と 2 個の情報転送用 M I S F E T (Metal Insulator Semiconductor Field Effect Transistor) とで構成され、このフリップフロップ回路は、例えば、一対の駆動用 M I S F E T と一対の負荷用 M I S F E T とで構成される。

【 0 0 0 4 】

これらの M I S F E T のソース、ドレイン領域上には、ソース、ドレイン領域の抵抗を下げ、また、ソース、ドレイン領域上に形成されるプラグとの接触抵抗を下げるためにシリサイド層が形成されている。また、これらの M I S F E T のゲート電極上にも、ゲート電極 (配線) の抵抗を下げるためシリサイド層が形成されている。

【 0 0 0 5 】

このシリサイド層は、ソース、ドレイン領域やゲート電極上に金属層を堆積し

、ソース、ドレイン領域（シリコン基板）と金属層との接触部およびゲート電極（シリコン層）と金属層との接触部において、シリサイド化反応を起こさせることにより形成する。

【 0 0 0 6 】

この際、ソース、ドレイン領域（シリコン基板）やゲート電極（シリコン層）の表面上の自然酸化膜等をエッチングにより除去することにより、シリサイド層の凝集を防止し、シリサイド層のシート抵抗を低く抑える技術が採用されている。

【 0 0 0 7 】

例えば、特開平 9 - 3 2 0 9 8 7 号公報には、シリコン基板 1 1 の表面を 3 n m ~ 5 n m 程度エッチングして除去した後、金属膜 2 1 を成膜し、シリサイド層を形成する技術が記載されている。

【 0 0 0 8 】

また、特開平 7 - 1 6 1 6 6 0 号公報には、シリコン基板 1 やゲート多結晶シリコン 3 の表面の自然酸化膜 5 を不活性ガスのイオンを用いたスパッタエッチングにより除去した後、Ti 膜 6 を形成し、熱処理を行うことにより Ti シリサイド膜 7 を形成する技術が記載されている。

【 0 0 0 9 】

【発明が解決しようとする課題】

しかしながら、メモリセルの高集積化に伴う微細化に伴い、ゲート幅が小さくなり、また、ソース、ドレイン領域の接合深さも益々小さくなっている。

【 0 0 1 0 】

また、携帯電話やノート型パソコン等のいわゆるモバイル製品に用いられる半導体集積回路装置は、電池により半導体集積回路装置が駆動されるため、低消費電力化の要求が大きくなってきている。

【 0 0 1 1 】

従って、従来の技術を単に適用しただけでは、追って詳細に説明するように、ソース、ドレイン領域上のシリサイド層が深く形成され、ソース、ドレイン領域と半導体基板との間のリーク電流が大きくなる。

【 0 0 1 2 】

その結果、スタンバイ時の電流（スタンバイ電流）がその基準値を超えてしまい、製品の歩留まりが小さくなる。また、スタンバイ電流が基準値内であっても、スタンバイ電流が大きい半導体集積回路装置を組み込んだ電池駆動のモバイル製品は、その使用可能時間が短くなってしまう。

【 0 0 1 3 】

本発明の目的は、半導体集積回路装置、例えば、SRAMのメモリセルのリーク電流を防止することにより、スタンバイ電流の低減を図ることができる技術を提供することにある。

【 0 0 1 4 】

本発明の他の目的は、半導体集積回路装置、例えば、SRAMのメモリセルの消費電流を低減させる技術を提供することにある。

【 0 0 1 5 】

本発明の前記目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【 0 0 1 6 】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【 0 0 1 7 】

(1) 本発明の半導体集積回路装置の製造方法は、半導体基板主表面に形成されたMISFETを有し、90℃での動作テスト時のスタンバイ電流が5 μ A以下の半導体集積回路装置の製造方法であって、(a)前記半導体基板上に、ゲート絶縁膜を形成する工程と、(b)前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、(c)前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、(d)前記ソース、ドレイン領域の上部であって、その表面から2.5nm以下の領域をスパッタエッチングする工程と、(e)前記スパッタエッチングと同一装置内において、真空下で、前記ソース、ドレイン領域上に

金属膜を形成する工程と、(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、(g) 未反応の前記金属膜を除去する工程と、を有する。

【0018】

(2) 本発明の半導体集積回路装置の製造方法は、半導体基板主表面に形成されたMISFETを有し、使用状態のスタンバイ電流が $1.5\mu\text{A}$ 以下の半導体集積回路装置の製造方法であって、(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、(d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、(e) 前記スパッタエッチングと同一装置内において、真空下で、前記ソース、ドレイン領域上に金属膜を形成する工程と、(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、(g) 未反応の前記金属膜を除去する工程と、を有する。

【0019】

(3) 本発明の半導体集積回路装置の製造方法は、半導体基板主表面に形成されたMISFETを有し、電池によって駆動される半導体集積回路装置の製造方法であって、(a) 前記半導体基板上に、ゲート絶縁膜を形成する工程と、(b) 前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってゲート電極を形成する工程と、(c) 前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、(d) 前記ソース、ドレイン領域の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、(e) 前記スパッタエッチングと同一装置内において、真空下で、前記ソース、ドレイン領域上に金属膜を形成する工程と、(f) 前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、金属シリサイド層を形成する工程と、(g)

）未反応の前記金属膜を除去する工程と、を有する。

【 0 0 2 0 】

（４）本発明の半導体集積回路装置の製造方法は、半導体基板主表面に形成されたM I S F E Tを有する半導体集積回路装置の製造方法であって、（a）前記半導体基板上に、ゲート絶縁膜を形成する工程と、（b）前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってその幅が $0.18\mu\text{m}$ 以下のゲート電極を形成する工程と、（c）前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、（d）前記ソース、ドレイン領域の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、（e）前記スパッタエッチングと同一装置内において、真空下で、前記ソース、ドレイン領域上に金属膜を形成する工程と、（f）前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、その膜厚が 20nm 以上で 40nm 以下の金属シリサイド層を形成する工程と、（g）未反応の前記金属膜を除去する工程と、を有する。

【 0 0 2 1 】

（５）本発明の半導体集積回路装置の製造方法は、半導体基板主表面に形成されたM I S F E Tを有する半導体集積回路装置の製造方法であって、（a）前記半導体基板上に、ゲート絶縁膜を形成する工程と、（b）前記ゲート絶縁膜上にシリコン膜を形成し、パターニングすることによってその幅が $0.18\mu\text{m}$ 以下のゲート電極を形成する工程と、（c）前記ゲート電極の両側の半導体基板中に不純物を注入することによりソース、ドレイン領域を形成する工程と、（d）前記ソース、ドレイン領域の上部であって、その表面から 2.5nm 以下の領域をスパッタエッチングする工程と、（e）前記スパッタエッチングと同一装置内において、真空下で、前記ソース、ドレイン領域上に金属膜を形成する工程と、（f）前記半導体基板に、熱処理を施し、前記ソース、ドレイン領域と金属膜との接触部におけるシリサイド化反応により、そのシート抵抗が $5\Omega/\square$ 以上 $12\Omega/\square$ 以下の金属シリサイド層を形成する工程と、（g）未反応の前記金属膜を除去する工程と、を有する。

【0022】

このような手段によれば、前記ソース、ドレイン領域の上部であって、その表面から2.5nm以下の領域をスパッタエッチングした後、金属シリサイド層を形成したので、リーク電流を低く抑えた半導体集積回路装置を形成することができる。

【0023】

また、ゲート電極の上部においても、その表面から2.5nm以下の領域をスパッタエッチングした後、金属シリサイド層を形成すれば、ゲート電極上の金属シリサイドの断線を防止することができる。

【0024】

【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の機能を有する部材には同一の符号を付し、その繰り返しの説明は省略する。

【0025】

図1は、本実施の形態のSRAMのメモリセルを示す等価回路図である。図示のように、このメモリセルMCは、一对の相補性データ線（データ線DL、 $\bar{D}L$ ）とワード線WLとの交差部に配置され、一对の駆動用MISFET Q_{d1} 、 Q_{d2} 、一对の負荷用MISFET Q_{p1} 、 Q_{p2} および一对の転送用MISFET Q_{t1} 、 Q_{t2} により構成されている。駆動用MISFET Q_{d1} 、 Q_{d2} および転送用MISFET Q_{t1} 、 Q_{t2} はnチャネル型MISFETで構成され、負荷用MISFET Q_{p1} 、 Q_{p2} はpチャネル型MISFETで構成されている。

【0026】

メモリセルMCを構成する上記6個のMISFETのうち、駆動用MISFET Q_{d1} および負荷用MISFET Q_{p1} は、CMOSインバータINV1を構成し、駆動用MISFET Q_{d2} および負荷用MISFET Q_{p2} は、CMOSインバータINV2を構成している。これら一对のCMOSインバータINV1、INV2の相互の入出力端子（蓄積ノードA、B）は、交差結合され、1ビットの情報を記憶する情報蓄積部としてのフリップフロップ回路を構成している。ま

た、このフリップフロップ回路の一方の入出力端子（蓄積ノードA）は、転送用MISFETQ_{t1}のソース、ドレイン領域の一方に接続され、他方の入出力端子（蓄積ノードB）は、転送用MISFETQ_{t2}のソース、ドレイン領域の一方に接続されている。

【0027】

さらに、転送用MISFETQ_{t1}のソース、ドレイン領域の他方はデータ線DLに接続され、転送用MISFETQ_{t2}のソース、ドレイン領域の他方はデータ線/DLに接続されている。また、フリップフロップ回路の一端（負荷用MISFETQ_{p1}, Q_{p2}の各ソース領域）は電源電圧（V_{cc}）に接続され、他端（駆動用MISFETQ_{d1}, Q_{d2}の各ソース領域）は基準電圧（V_{ss}）に接続されている。

【0028】

上記回路の動作を説明すると、一方のCMOSインバータINV1の蓄積ノードAが高電位（“H”）であるときには、駆動用MISFETQ_{d2}がONになるので、他方のCMOSインバータINV2の蓄積ノードBが低電位（“L”）になる。従って、駆動用MISFETQ_{d1}がOFFになり、蓄積ノードAの高電位（“H”）が保持される。すなわち、一對のCMOSインバータINV1, INV2を交差結合させたラッチ回路によって相互の蓄積ノードA、Bの状態が保持され、電源電圧が印加されている間、情報が保存される。

【0029】

転送用MISFETQ_{t1}, Q_{t2}のそれぞれのゲート電極にはワード線WLが接続され、このワード線WLによって転送用MISFETQ_{t1}, Q_{t2}の導通、非導通が制御される。すなわち、ワード線WLが高電位（“H”）であるときには、転送用MISFETQ_{t1}, Q_{t2}がONになり、フリップフロップ回路と相補性データ線（データ線DL, /DL）とが電氣的に接続されるので、蓄積ノードA、Bの電位状態（“H”または“L”）がデータ線DL, /DLに現れ、メモリセルMCの情報として読み出される。

【0030】

メモリセルMCに情報を書き込むには、ワード線WLを“H”電位レベル、転

送用MISFET Q_{t1} , Q_{t2} をON状態にしてデータ線DL、 \overline{DL} の情報を蓄積ノードA、Bに伝達する。

【0031】

次に、本実施の形態のSRAMの製造方法を図2～図8を用いて説明する。

【0032】

メモリセルMCを構成する6個のMISFET (Q_{t1} 、 Q_{t2} 、 Q_{d1} 、 Q_{d2} 、 Q_{p1} 、 Q_{p2})のうちnチャネル型MISFET (Q_{t1} 、 Q_{d1} 、 Q_{t2} 、 Q_{d2})は、p型ウエル3上に形成され、pチャネル型MISFET (Q_{p1} 、 Q_{p2})は、n型ウエル4上に形成される。

【0033】

p型ウエルとn型ウエルとの間には、素子分離により分離され、また、各ウエル内においても必要に応じて素子分離が形成される。この素子分離は、以下のように形成する。例えば $1 \sim 10 \Omega \text{cm}$ 程度の比抵抗を有するp型の単結晶シリコンからなる半導体基板1をエッチングすることにより深さ250nm程度の素子分離溝を形成する。

【0034】

次に、溝の内部を含む半導体基板1上にCVD (Chemical Vapor deposition) 法で膜厚450～500nm程度の酸化シリコン膜を堆積し、化学的機械研磨 (CMP; Chemical Mechanical Polishing) 法で溝の上部の酸化シリコン膜を研磨し、その表面を平坦化する。

【0035】

次に、半導体基板1にp型不純物 (ホウ素) およびn型不純物 (例えばリン) をイオン打ち込みした後、約 1000°C の熱処理で上記不純物を拡散させることによって、前述のp型ウエル3およびn型ウエル4を形成する。以下、これらのウエル3、4上にMISFETを形成する工程について説明するが、6個のMISFET (Q_{t1} 、 Q_{t2} 、 Q_{d1} 、 Q_{d2} 、 Q_{p1} 、 Q_{p2})は同様の工程で形成されるため、nチャネル型MISFET Q_{d1} を例に、説明する。

【0036】

まず、図2に示すように、フッ酸系の洗浄液を用いて半導体基板1 (p型ウエ

ル 3) の表面をウェット洗浄した後、約 8 0 0 ℃ の熱酸化で p 型ウエル 3 の表面に膜厚 3 nm 程度の清浄なゲート酸化膜 (図示せず) を形成する。

【 0 0 3 7 】

次に、ゲート酸化膜の上部に膜厚 2 5 0 nm 程度の低抵抗多結晶シリコン膜 9 a を CVD 法で堆積する。次に、フォトリソist膜 (図示せず) をマスクにして多結晶シリコン膜 9 a をドライエッチングすることにより、多結晶シリコン膜 9 a からなるゲート電極 G を形成する。このゲート電極の幅は、約 0. 1 8 μ m である。

【 0 0 3 8 】

次に、p 型ウエル 3 上のゲート電極 G の両側に n 型不純物 (リン) を注入することによって n⁻ 型半導体領域 1 3 を形成する。この n⁻ 型半導体領域 1 3 の接合深さは、5 0 nm 程度である。ここで、n⁻ 型半導体領域 1 3 の接合深さとは、半導体基板 1 の表面からその導電型が p 型に変わるまでの距離をいう。

【 0 0 3 9 】

次いで、図 3 に示すように、半導体基板 1 上に CVD 法で膜厚 1 0 0 nm 程度の酸化シリコン膜 1 6 を堆積した後、異方的にエッチングすることによって、ゲート電極 G の側壁にサイドウォールスペーサ 1 6 s を形成する (図 4) 。

【 0 0 4 0 】

次に、図 5 に示すように、p 型ウエル 3 に n 型不純物 (リンまたはヒ素) をイオン打ち込みすることによって n⁺ 型半導体領域 1 7 (ソース、ドレイン) を形成する。この n⁺ 型半導体領域 1 7 (ソース、ドレイン) の接合深さは、1 5 0 nm 程度である。ここで、n⁺ 型半導体領域 1 7 (ソース、ドレイン) の接合深さとは、半導体基板 1 の表面からその導電型が p 型に変わるまでの距離をいう。

【 0 0 4 1 】

続いて、半導体基板 1 の露出部 (n⁺ 型半導体領域 1 7) およびゲート電極 G 上に、その厚さが 2 0 ~ 4 0 nm で、シート抵抗が 5 ~ 1 2 Ω の CoSi₂ 層 1 9 a を形成する (図 7 参照) が、この CoSi₂ 層 1 9 a 形成前に、半導体基板 1 の表面の洗浄およびスパッタエッチングを行う。この工程について、以下に詳細に説明する。

【 0 0 4 2 】

まず、フッ酸系の洗浄液を用いて、半導体基板 1 の表面を洗浄する。この洗浄により、半導体基板表面の不純物や自然酸化膜が、ある程度除去される。

【 0 0 4 3 】

次いで、図 6 に示すように、アルゴンスパッタエッチングにより、半導体基板 1 の表面を 2. 5 n m 以下の範囲でエッチングする。その結果、半導体基板 1 の露出部 (n^+ 型半導体領域 1 7) およびゲート電極 G 上が、窪む。図 6 は、 n チヤネル型 M I S F E T Q d 1 の形成領域の拡大図である。

【 0 0 4 4 】

このスパッタエッチングにより、半導体基板 1 の露出部 (n^+ 型半導体領域 1 7、 p^+ 型半導体領域 1 8) およびゲート電極 G 上の不純物や自然酸化膜を除去することができる。なお、ここでいうスパッタエッチング量は、酸化シリコン膜換算値である。即ち、例えば、スパッタエッチング量が 1. 5 μ m であるということは、酸化シリコン膜が 1. 5 μ m エッチングされる条件と、同条件で半導体基板 1 をエッチングしたことを示す。なお、説明を分かり易くするため、図 6 においては、半導体基板 1 (n^+ 型半導体領域 1 7) の表面のエッチング部を深く記載しており、ゲート電極 G の厚さ等との比は異なる。

【 0 0 4 5 】

次いで、図 7 に示すように、スパッタ法により C o 膜 1 9 を堆積する。前述のスパッタエッチングとこの C o 膜 1 9 の堆積は、真空下における連続処理により行われる。具体的には、マルチチャンバーを用い、残留ガス圧力 10^{-4} から 10^{-6} P a の条件下で、スパッタエッチングを行った後、同一装置内で、 10^{-3} P a 以下の残留ガス圧力を保って別室に移動し、残留ガス圧力 10^{-4} から 10^{-6} P a の条件下で、C o 膜の成膜を行う。なお、半導体基板 1 の表面の窪みは、わずかであるため、図 7 においては、その記載を省略している。

【 0 0 4 6 】

次いで、5 0 0 から 5 5 0 $^{\circ}$ C で 1 分間の熱処理を施すことにより、半導体基板 1 (n^+ 型半導体領域 1 7) と C o 膜 1 9 との接触部およびゲート電極 G と C o 膜 1 9 との接触部においてシリサイド化反応をおこさせる。

【0047】

次いで、図8に示すように、未反応のCo膜をエッチングにより除去し、半導体基板1 (n^+ 型半導体領域17) およびゲート電極G上に、 $CoSi_2$ 層19aを残存させる。次いで、700から850℃で、1分間程度の熱処理を施し、 $CoSi_2$ 層19aを低抵抗化する。図8は、nチャネル型MISFETQd1の形成領域の拡大図である。なお、説明を分かり易くするため、半導体基板1の表面の窪みを深く記載しており、ゲート電極Gの厚さ等との比は異なる。

【0048】

このように、本実施の形態によれば、スパッタエッチングにより、半導体基板1の表面を2.5nm以下の範囲でエッチングした後、Co膜19を堆積し、 $CoSi_2$ 層19aを形成したので、スタンバイ電流を低減することができる。

【0049】

ここで、スパッタエッチング量と製品歩留まりとの関係について説明する。図9は、スパッタエッチング量と製品歩留まりとの関係を示した第1のデータである。図9のグラフ(a)に示すように、スタンバイ電流(I_{sb})の基準値を28 μA 以下とした場合には、スパッタエッチング量が0、1、2、3および4nmである場合のいずれも約90%の歩留まりを確保することができた。

【0050】

しかしながら、グラフ(b)に示すように、スタンバイ電流(I_{sb})の基準値を5 μA 以下とした場合には、スパッタエッチング量が1および2nmの場合には、スパッタエッチングを行わなかった場合(スパッタエッチング量が0)と比較し、歩留まりが上昇した。が、スパッタエッチング量を3および4nmとした場合には、スパッタエッチングを行わなかった場合(スパッタエッチング量が0)より、歩留まりが小さくなり、スパッタエッチング量を4nmとした場合には、歩留まりはほぼ0%であった。

【0051】

このように、スパッタエッチング量を3nm以上とした半導体集積回路装置は、スタンバイ電流(I_{sb})の基準値が5 μA 以下であるような、低消費電流の製品には適用できないことが分かった。

【0052】

しかしながら、本実施の形態においては、スパッタエッチング量を2.5nm以下としたので、スタンバイ電流(I_{sb})の基準値を5 μ A以下とした場合であっても、スパッタエッチングを行わなかった場合以上の歩留まりを確保することができた。

【0053】

なお、ここでのスタンバイ電流とは、90℃での動作テスト時のスタンバイ電流をいい、実使用時(常温)のスタンバイ電流は、1~1.5 μ A程度である。

【0054】

次いで、スパッタエッチング量が0、1、2および3nmの場合のスタンバイ電流値 I_{sb} (μ A)とチップ数との関係について調べた第2のデータについて説明する(図10~図13)。図10のスパッタエッチングを行わなかった場合(スパッタエッチング量が0の場合)には、スタンバイ電流が3.5~4 μ Aのチップが多く、197個であった。図11のスパッタエッチング量が1nmの場合には、スタンバイ電流が2.5~3 μ Aのチップが多く、496個であった。図12のスパッタエッチング量が2nmの場合には、スタンバイ電流が3.5~4 μ Aのチップが多く、243個であり、次いで、スタンバイ電流が3~3.5 μ Aのチップが多く、236個であった。図13のスパッタエッチング量が3nmの場合には、スタンバイ電流が4~4.5 μ Aのチップが多く、202個であった。このように、スパッタエッチング量が増すにつれて、スタンバイ電流値の大きいチップの出現頻度が高くなっている。

【0055】

ここで、スタンバイ電流の基準値を満たしていても(5 μ A以下のスタンバイ電流であっても)、スタンバイ電流値がより小さい方が消費電流を抑えることができ、より高性能であるといえる。従って、スパッタエッチング量が2.5nm以下の場合には、スタンバイ電流値の小さいチップを多く確保でき、高性能のチップを多く確保できる。

【0056】

このように、本実施の形態によれば、半導体集積回路装置のスタンバイ電流を

低減することができ、また、消費電流を低減することができる。その結果、電池により駆動される携帯電話やパソコンに使用可能であり、これらの製品の使用可能時間を長くすることができる。

【 0 0 5 7 】

次に、スタンバイ電流を低減することができる理由について説明する。

【 0 0 5 8 】

本発明によれば、スパッタエッチングにより、半導体基板 1 の表面を 2.5 nm 以下の範囲で、エッチングしたので、半導体基板 1 の表面の不純物や自然酸化膜が除去されている。この自然酸化膜は、1 nm 程度の厚さと考えられる。

【 0 0 5 9 】

その結果、図 8 に示したように、金属シリサイド層 (CoSi_2 19a) の底面の凹凸が少なく、その底面がなめらかな金属シリサイド層が形成され、膜厚も均一となる。これに対し、スパッタエッチングを行わなかった場合は、半導体基板 1 の表面の不純物や自然酸化膜に対応して金属シリサイド層が厚く形成される箇所と薄く形成される箇所とが生じ、図 14 に示すように、金属シリサイド層の底面に凹凸が生じてしまう。

【 0 0 6 0 】

一方、前述した通り、メモリセルの微細化に伴い、ソース、ドレイン領域の接合深さが、小さくなってきている。

【 0 0 6 1 】

従って、金属シリサイド層の底面に凹凸が生じてしまうと、このソース、ドレイン領域の接合面から金属シリサイド層の底面が突き抜けるもしくは、接合面と金属シリサイド層底面が近接してしまい、リーク電流が生じてしまう。

【 0 0 6 2 】

特に、本実施の形態のような、接合深さが 50 ~ 150 nm 程度である半導体集積回路装置においては、リーク電流が生じやすくなる。

【 0 0 6 3 】

また、電池駆動の製品に用いられ、スタンバイ電流が $5 \mu\text{A}$ 以下という基準値を有する半導体集積回路装置においては、その歩留まりが小さくなる。

【0064】

逆に、図15に示すように、スパッタエッチング量を多くしすぎると、半導体基板表面1が深くエッチングされてしまうため、ソース、ドレイン領域の接合面と金属シリサイド層とが接近してしまい、リーク電流が増大する。

【0065】

このリーク電流の増加を回避するため、金属シリサイド層を薄く形成することもあるが、金属シリサイド層を薄くした場合には、所望のシート抵抗（本実施の形態の場合、 $5 \sim 12 \Omega/\square$ ）を確保することができなくなる。

【0066】

一方、この金属シリサイド層は、ゲート電極上にも形成され、ゲート電極の抵抗を低くする役割も有している。従って、金属シリサイド層を薄く形成すると、金属シリサイド層の凝集現象が発生しやすく、図14に示すように、金属シリサイド層が形成されない領域aが生じる。また、時には、図16に示すように、金属シリサイド層の断線が生じうる。図16は、薄く金属シリサイド層を形成した後の基板の上面図である。

【0067】

このような金属シリサイド層が形成されない領域や断線が生じると、ゲート電極が高抵抗化し、動作速度が小さくなる。その結果、メモリセルとしての動作を所定の時間内に行うことができず、不良となる。

【0068】

しかしながら、本実施の形態においては、半導体基板1の表面を 2.5 nm 以下の範囲でエッチングしたので、金属シリサイド層の膜厚（本実施の形態の場合、 $20 \sim 40 \text{ nm}$ ）を確保することができ、金属シリサイド層の凝集による断線等を防止することができる。

【0069】

また、本実施の形態によれば、スパッタエッチングにより、半導体基板1の表面と同時にゲート電極表面も 2.5 nm 以下の範囲で、エッチングされるので、素子分離による段差を低減でき、金属シリサイド層の断線を防止することができる。即ち、図16のA-A断面図である図17に示すように、素子分離2の端部

は、いわゆるリセス等の発生により段差が生じている。ゲート電極がこの段差上に形成される場合には、この段差に対応して、ゲート電極上にも段差 s が生じる。この段差上には、金属シリサイド層が薄く形成されるため前述したような断線が生じ易い。しかしながら、本実施の形態のように、スパッタエッチングを施せば、この段差が軽減され、金属シリサイド層の断線を防止することができる。

【 0 0 7 0 】

また、本実施の形態によれば、スパッタエッチングにより、ゲート電極表面上の不純物や自然酸化膜を除去することができ、金属シリサイド層の膜質を向上させ、均一性のある膜を形成することができる。

【 0 0 7 1 】

このように本実施の形態においては、ゲート電極上の金属シリサイド層の膜厚を確保でき、また、金属シリサイド層の断線を防止することができるため、製品歩留まりを上昇させることができる。

【 0 0 7 2 】

ここまでの工程で、メモリセルMCを構成する n チャネル型 $MISFETQd1$ が完成する。前述した通り、他の n チャネル型 $MISFET(Qt1, Qt2, Qd1, Qd2)$ は同様の工程で形成されるためその説明を省略する。また、 p チャネル型 ($Qp1, Qp2$) は、 n 型ウエル4上に形成する半導体領域 (n^- 型半導体領域、 n^+ 型半導体領域) の導電型が異なる点等を除けば同様であるためその説明を省略する。

【 0 0 7 3 】

この後、 $MISFET$ 上に、層間絶縁膜を介し第1層配線 $M1$ および第2層配線 $M2$ が形成されるが、これらの製造工程およびその構成については省略する。

【 0 0 7 4 】

以上、本発明者によってなされた発明を実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。特に、本実施の形態においては、 $SRAM$ メモリセルを例に説明したが、 $SRAM$ メモリセルに限られず、本実施の形態と同様の低消費電力、電池駆動もしくは微細化が進んだ半導体集積回

路装置に広く適用することができる。また、本実施の形態においては、C o 膜を用いてC o S i₂層を形成したが、他の金属膜を用いて金属シリサイド層を形成してもよい。例えば、T i 膜を用いてT i S i 層を形成してもよい。

【 0 0 7 5 】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば以下のとおりである。

【 0 0 7 6 】

本発明によれば、スパッタエッチングにより、半導体基板 1（ソース・ドレイン領域）の表面を 2. 5 n m 以下の範囲で、エッチングした後、C o 膜を堆積し、C o S i₂層 1 9 a を形成したので、スタンバイ電流を低減することができ、歩留まりを向上させることができる。

【 0 0 7 7 】

さらに、ゲート電極表面を 2. 5 n m 以下の範囲で、エッチングした後、C o 膜を堆積し、C o S i₂層 1 9 a を形成したので、ゲート電極上の金属シリサイド層の断線を防止することができ、歩留まりを向上させることができる。

【図面の簡単な説明】

【図 1】

本発明の実施の形態である S R A M のメモリセルを示す等価回路図である。

【図 2】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 3】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 4】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 5】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 6】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 7】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 8】

本発明の実施の形態である半導体集積回路装置の製造方法を示す半導体基板の要部断面図である。

【図 9】

スパッタエッチング量と歩留まりとの関係を示す図である。

【図 1 0】

スパッタエッチング量が 0 の場合のスタンバイ電流とチップ数との関係を示す図である。

【図 1 1】

スパッタエッチング量が 1 n m の場合のスタンバイ電流とチップ数との関係を示す図である。

【図 1 2】

スパッタエッチング量が 2 . 5 n m の場合のスタンバイ電流とチップ数との関係を示す図である。

【図 1 3】

スパッタエッチング量が 3 n m の場合のスタンバイ電流とチップ数との関係を示す図である。

【図 1 4】

本発明の効果を説明するための図である。

【図 1 5】

本発明の効果を説明するための図である。

【図 1 6】

本発明の効果を説明するための図である。

【図 1 7】

本発明の効果を説明するための図である。

【符号の説明】

- 1 半導体基板
- 2 素子分離
- 3 p型ウエル
- 4 n型ウエル
- G ゲート電極
- 9 a 多結晶シリコン膜
- 1 3 n^- 型半導体領域
- 1 6 酸化シリコン膜
- 1 6 s サイドウォールスペーサ
- 1 7 n^+ 型半導体領域
- 1 8 p^+ 型半導体領域
- 1 9 Co膜
- 1 9 a CoSi₂層
- WL ワードライン
- DL、/DL データ線
- Q t 1、Q t 2 転送用MISFET
- Q d 1、Q d 2 駆動用MISFET
- Q p 1、Q p 2 負荷用MISFET
- V c c 電源電圧
- V s s 基準電圧
- INV 1、INV 2 インバータ
- MC メモリセル
- A、B 蓄積ノード
- a 領域

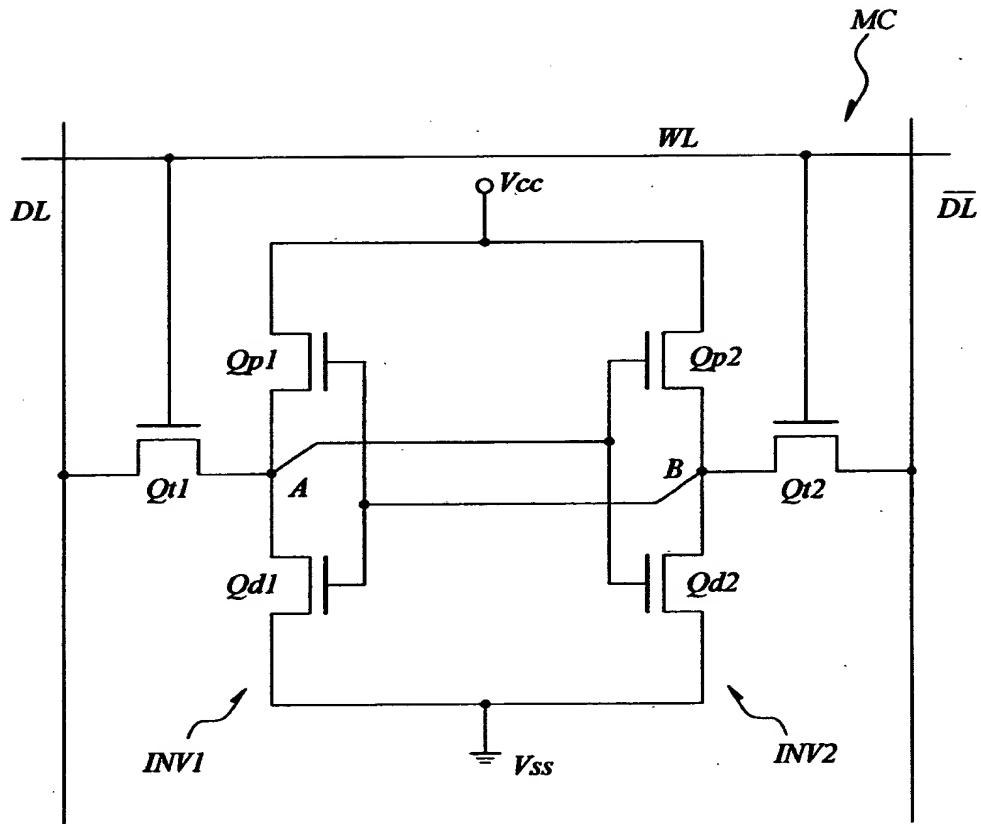
特 2 0 0 0 - 3 2 0 5 7 2

s 段差

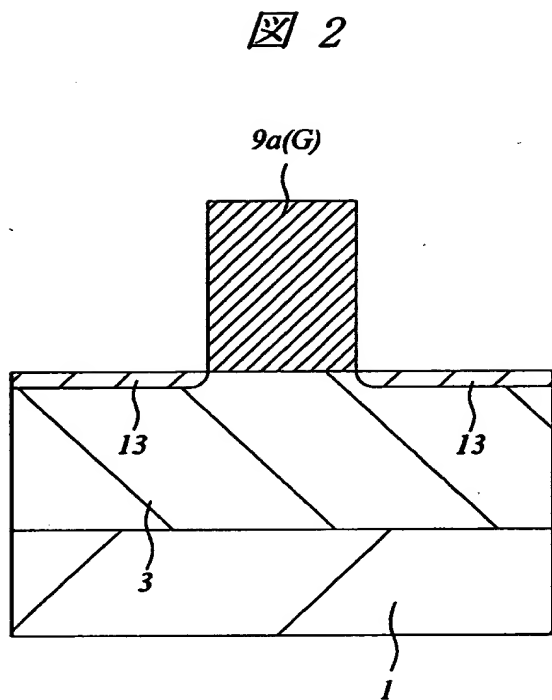
【書類名】 図面

【図 1】

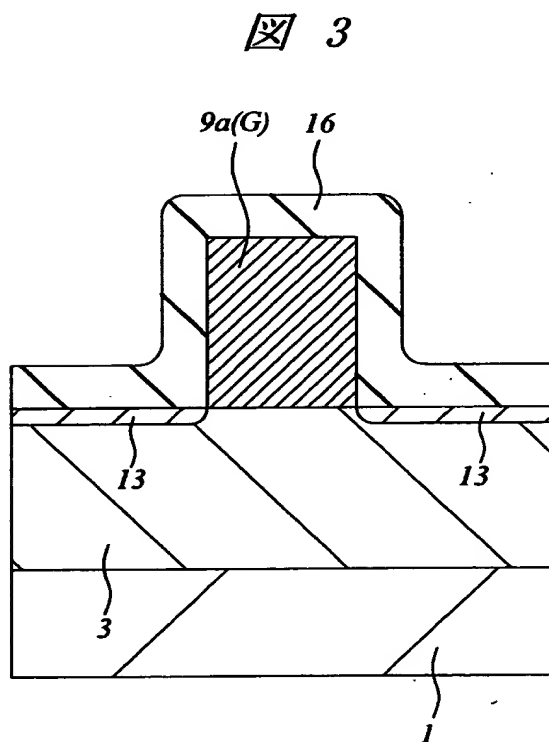
図 1



【図 2】

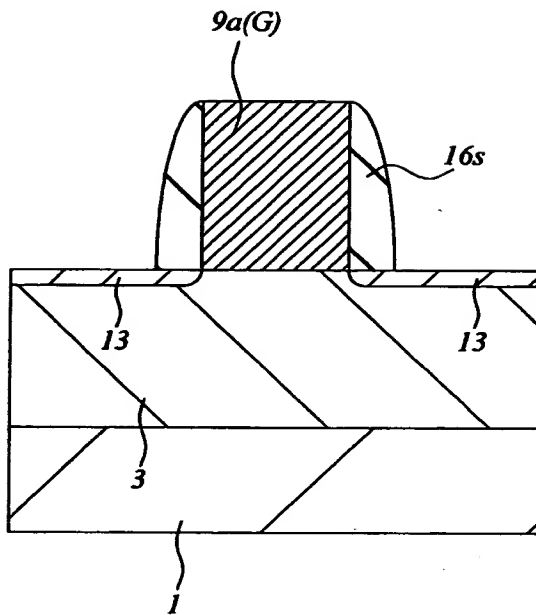


【図 3】

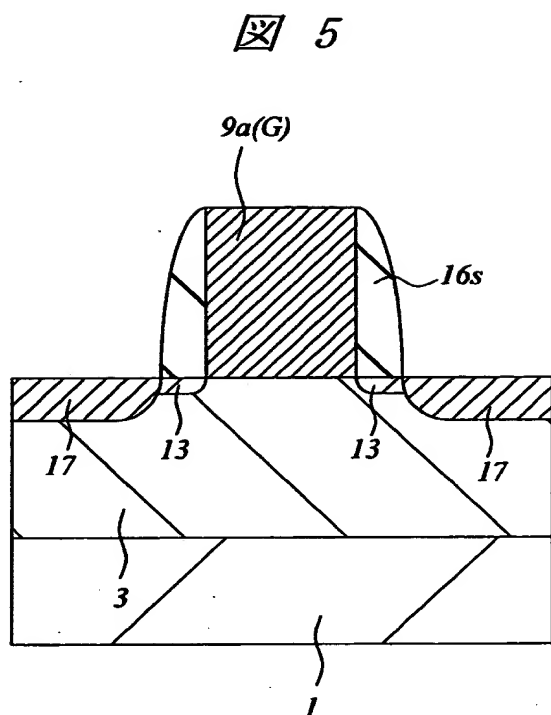


【図4】

図 4

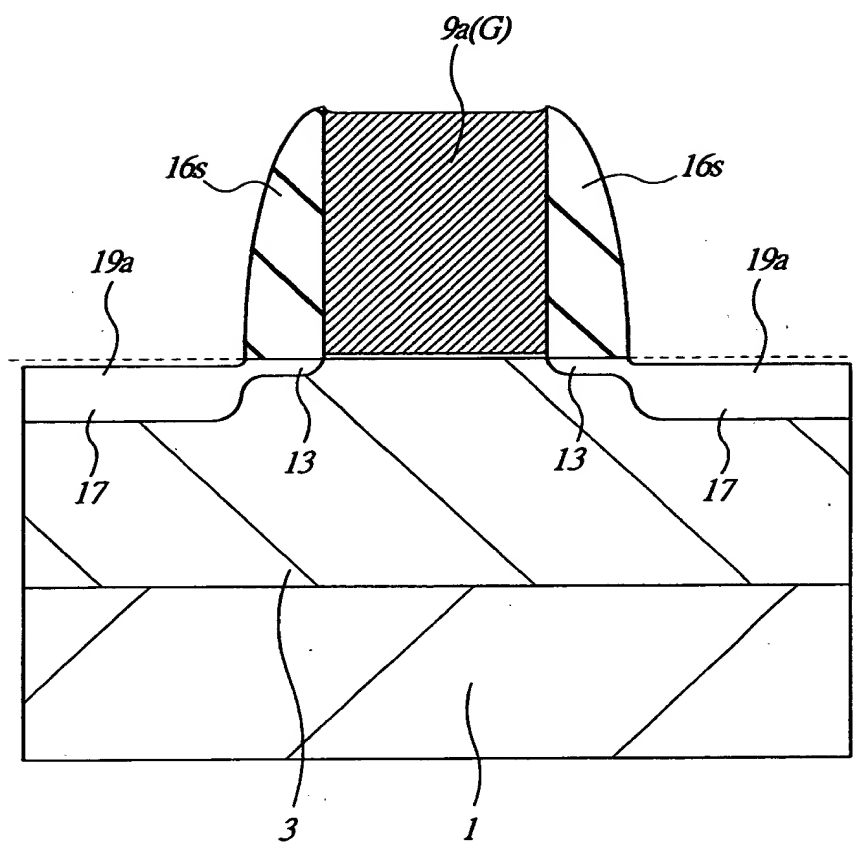


【図 5】



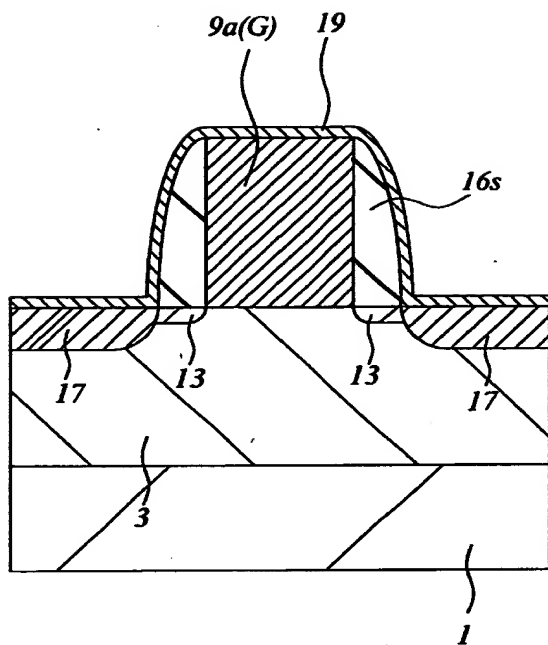
【図 6】

図 6



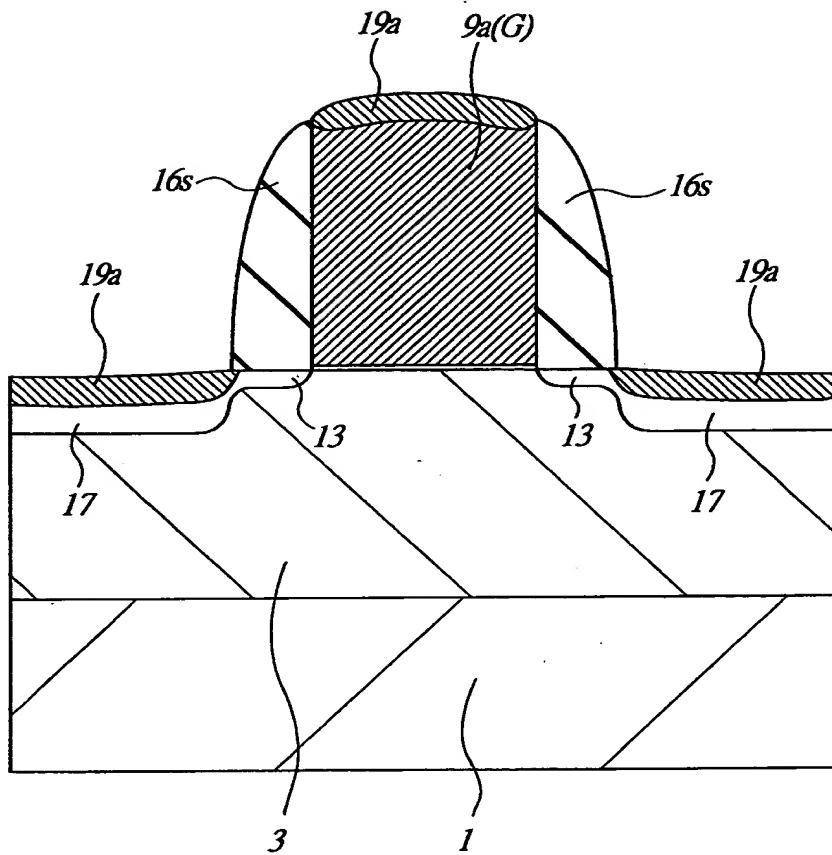
【図 7】

図 7



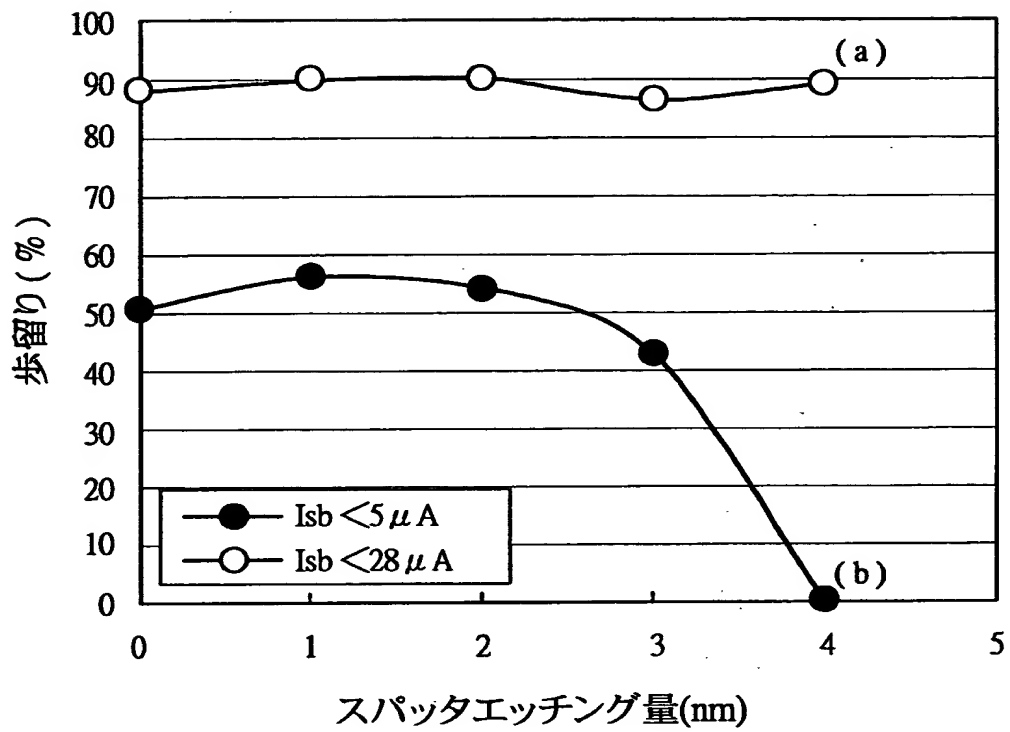
【図8】

図 8



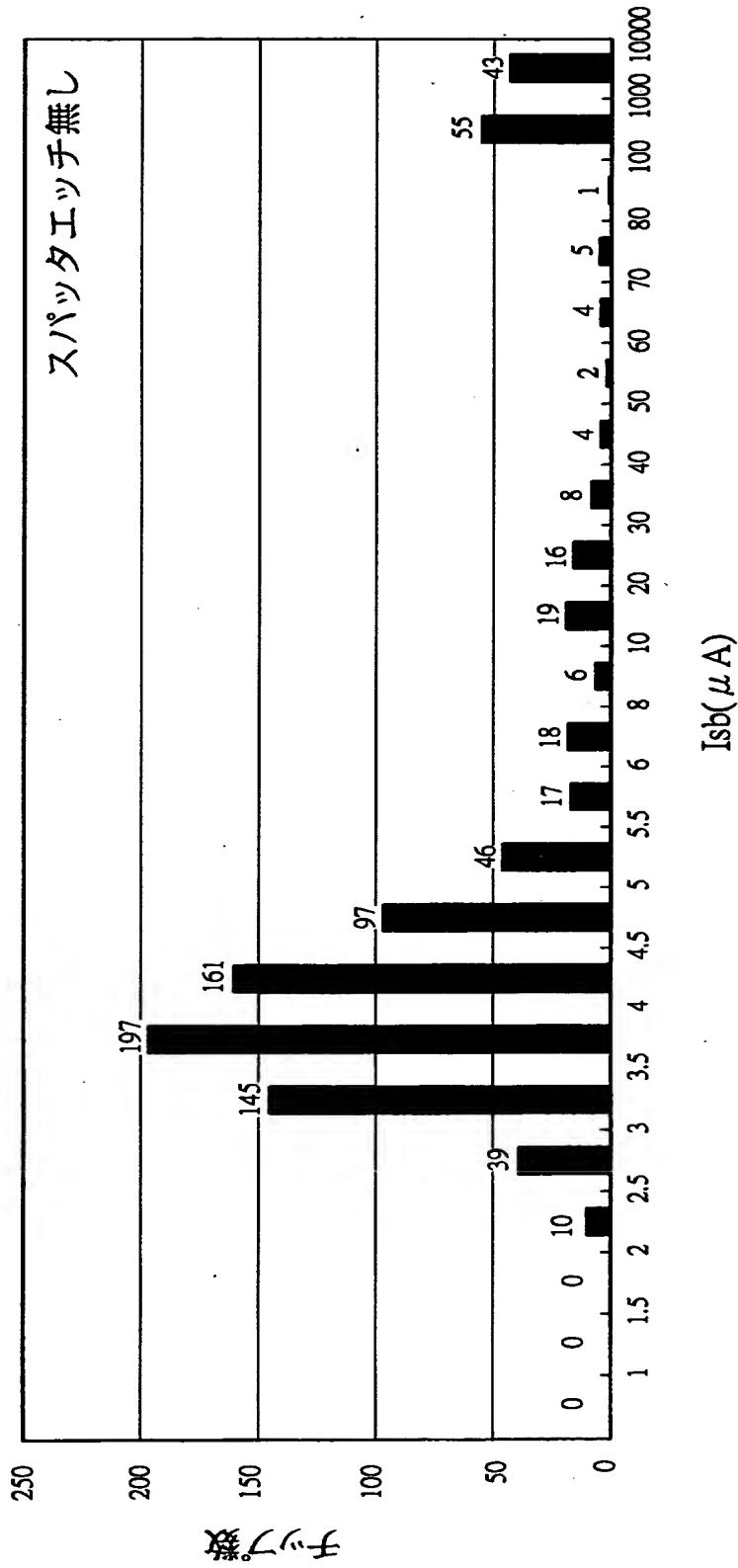
【図9】

図 9



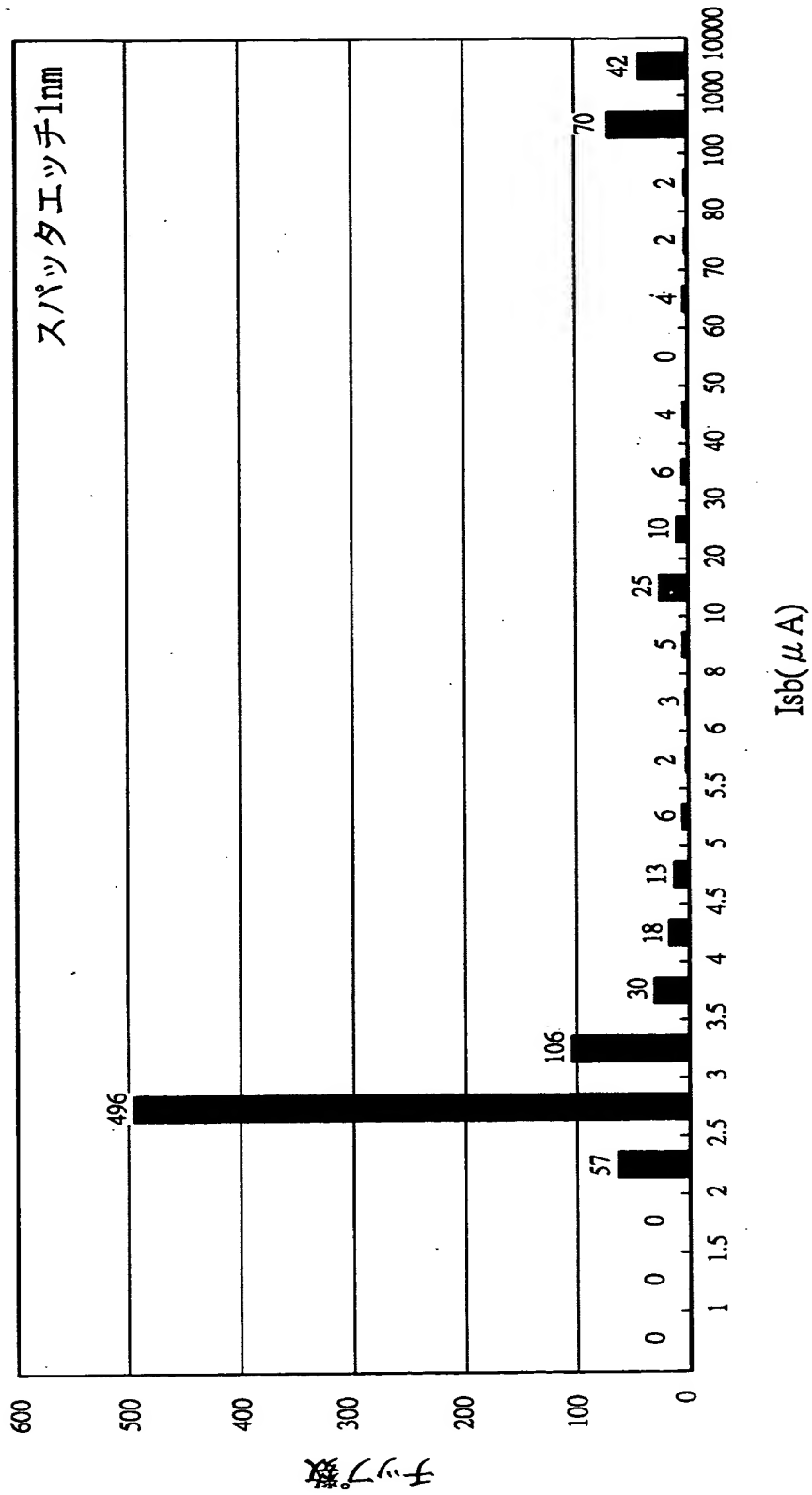
【図 10】

図 10



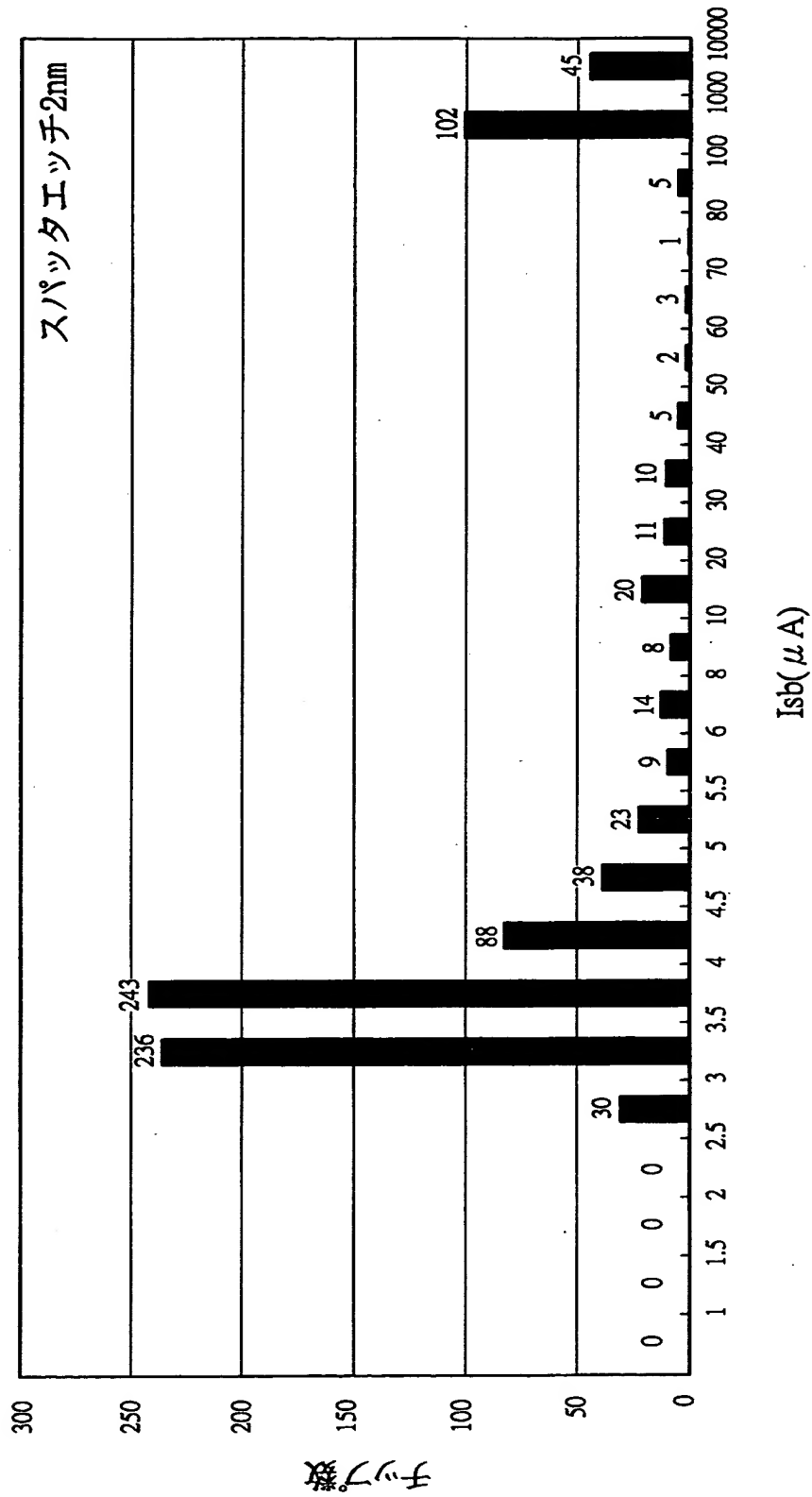
【図 11】

図 11



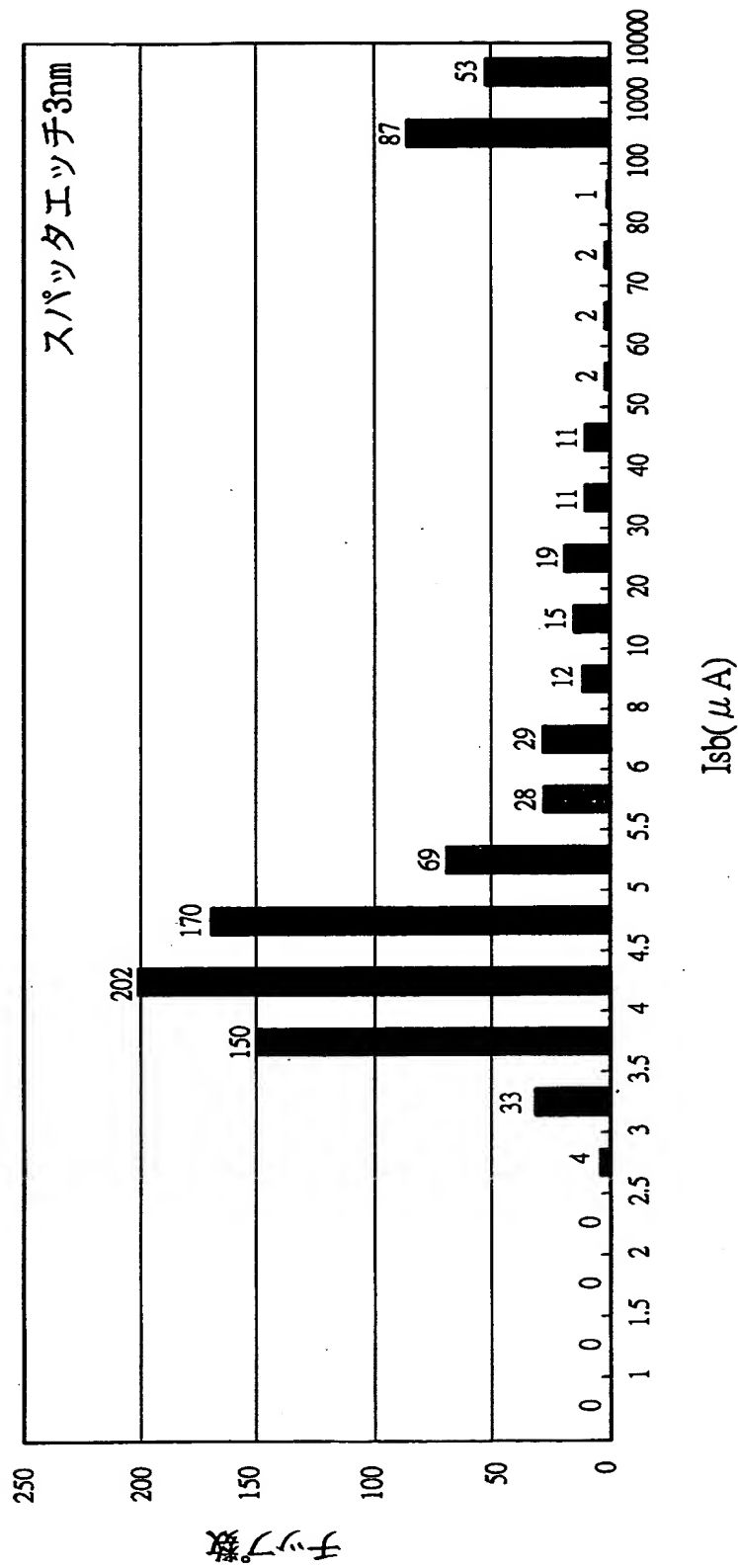
【図 12】

図 12



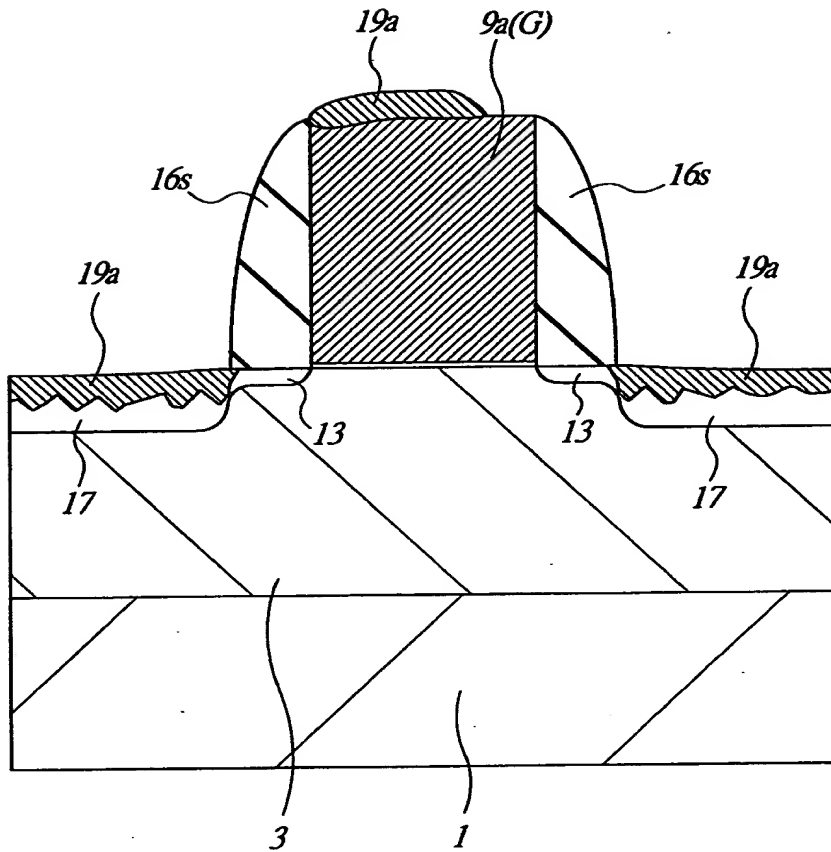
【図 13】

図 13



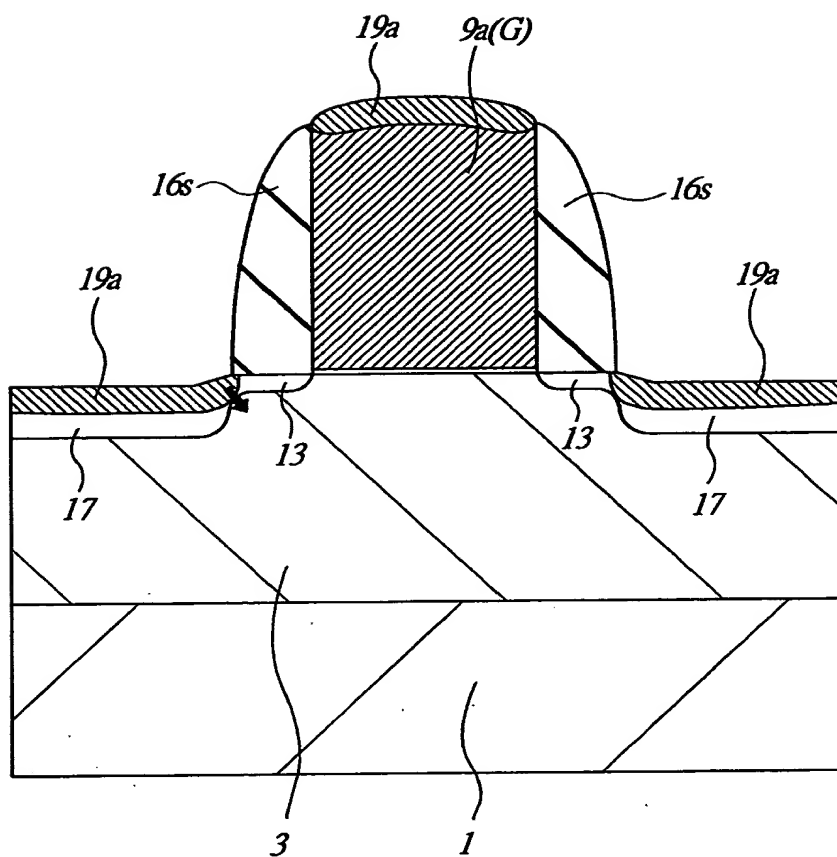
【図 14】

図 14



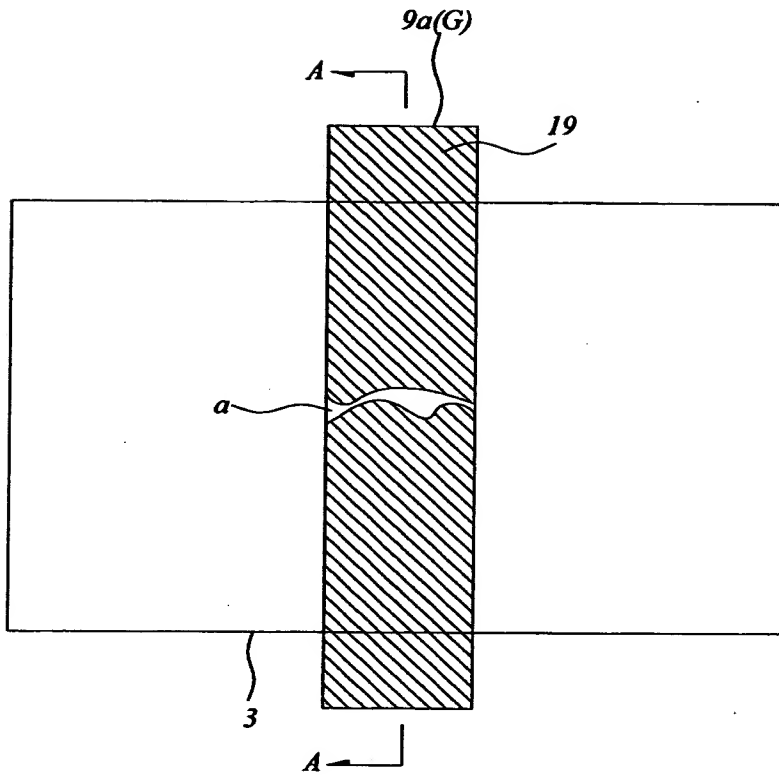
【図 1 5】

図 15



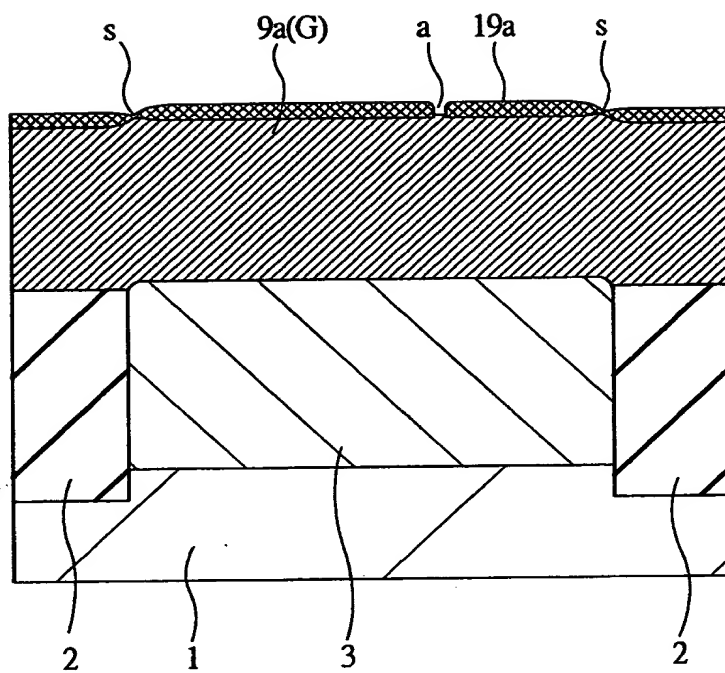
【図16】

図 16



【図 1 7】

図 17



【書類名】 要約書

【要約】

【課題】 半導体集積回路装置、例えば、SRAMのメモリセルのリーク電流を防止することにより、スタンバイ電流を低減させた高性能の半導体集積回路を提供する。

【解決手段】 半導体基板1上に、ゲート電極Gを形成し、このゲート電極の両側の半導体基板中に n^+ 型半導体領域17（ソース、ドレイン領域）を形成した後、ソース、ドレイン領域およびゲート電極の上部をその表面から2.5nm以下の範囲で、スパッタエッチングした後、同一装置内、真空下において、ソース、ドレイン領域上に $CoSi_2$ 膜を形成し、熱処理を施すことにより $CoSi_2$ 層19aを形成する。その結果、メモリセルのリーク電流を防止することができ、低消費電流もしくは電池駆動の半導体集積回路装置に適用することができる。

【選択図】 図8

出 願 人 履 歴 情 報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住 所 東京都千代田区神田駿河台4丁目6番地
氏 名 株式会社日立製作所

出 願 人 履 歴 情 報

識別番号 [000233169]

1. 変更年月日 1998年 4月 3日.

[変更理由] 名称変更

住 所 東京都小平市上水本町5丁目22番1号

氏 名 株式会社日立超エル・エス・アイ・システムズ